

一种低相噪低杂散 1.08GHz 锁相环设计

王征晨, 王兴华, 武照博

(北京理工大学 信息与电子学院 北京市硅基高速片上系统工程技术研究中心, 北京 100081)

摘 要: 基于 TSMC90 nm CMOS 工艺设计了一款高性能锁相环. 深入分析了电荷泵的噪声和杂散性能, 讨论了 LC 压控振荡器的锁定范围理论计算以及相位噪声, 并且给出了环路滤波器的设计方法. 通过 MATLAB 软件对锁相环整体相位噪声进行系统建模与分析, 以优化锁相环的整体相位噪声. 整体芯片面积为 $530\ \mu\text{m} \times 720\ \mu\text{m}$, 功耗为 33 mW. 测试结果表明, 在频偏 1 MHz 处的相位噪声为 $-110.6\ \text{dBc}$, 参考杂散 $-56.935\ \text{dBc}$.

关键词: 锁相环; 相位噪声; 参考杂散

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)06-0047-05

Design of a Low Phase Noise and Low Spur 1.08 GHz PLL

WANG Zheng-chen, WANG Xing-hua, WU Zhao-bo

(School of Information and Electronic, Beijing Institute of Technology, Beijing Silicon SoC
Engineering Research Center, Beijing 100081, China)

Abstract: A high performance PLL (Phase Locked Loop) is designed and implemented in TSMC 90 nm CMOS Process. The noise and reference spur of the charge pump are analyzed in detail. The theoretical calculation of LC VCO (Voltage Controlled Oscillator) tuning range is presented and its phase noise is discussed. The design methods of loop filter is studied. In order to optimize phase noise, the PLL is analyzed by MATLAB. The PLL proposed consumes 33 mW with a 1.2 V power supply and only occupies an area of $530\ \mu\text{m} \times 720\ \mu\text{m}$. The measured results show that it exhibits an in-band phase noise of $-110.6\ \text{dBc}$ at 1 MHz frequency offset and reference spur is $-56.935\ \text{dBc}$.

Key words: phase-locked loop; phase noise; reference spur

1 引言

随着电子技术的飞速发展, 被誉为通信系统“心脏”的频率综合器得到广泛应用^[1]. 在通信系统中, 锁相环的性能直接影响整个系统的工作情况. 相位噪声是锁相环频率综合器最重要的指标之一, 会导致锁相环的输出频谱不纯, 在频域表现为“裙带”现象; 参考杂散也是其另外一个重要指标, 会对相邻信道产生干扰, 影响收发机的选择性和信噪比^[2-3]. 因此, 如何设计低相位噪声、低参考杂散的锁相环频率合成器非常具有研究价值.

2 锁相环整体结构

图 1 为本设计采用的锁相环整体电路框图, 其中参考时钟的频率为 90 MHz, 整体输出频率为 1.08 GHz. 锁相环主要模块包括鉴频鉴相器 (PFD)、电荷泵 (CP)、环路滤波器 (LPF)、压控振荡器 (VCO) 以及分频器 (Divider). VCO 的工作频率约为 4.32 GHz, VCO 后接 4 分频电路, 降频到所需的 1.08 GHz. PFD 将输入时钟与分频器链路 N 分频之后的输出时钟进行相位比较, 产生时钟脉冲来控制电荷泵进行充电或者放电, 再经过环路滤波器转变为电压信号控制压控振荡器的输出频率.

路功耗。此外为了保持整体环路的相位裕度不变,环路滤波器中的电容 C_z 需要增大相同的倍数,导致环路滤波器的版图面积变大。因此,电荷泵电流值的选取应该根据实际情况合理折中。

由于电荷泵的充电电流与放电电流存在失配问题,因此会引起参考杂散,而降低参考杂散最直接的方法就是优化电荷泵的电流失配。除采用共源共栅结构来稳定电流镜漏端状态之外,电荷泵的开关也会影响电流失配。尺寸过大的开关管会增加开关的栅漏电容,加剧时钟馈通效应,使得输出电流的尖峰过大,恶化电流失配;而尺寸过小的开关管会导致开关的导通电阻变大,影响共源共栅电流镜的电压裕度,同样恶化电流失配。因此设计电荷泵的开关尺寸是一个折中的过程,图4为电荷泵开关尺寸对电流失配的影响曲线。

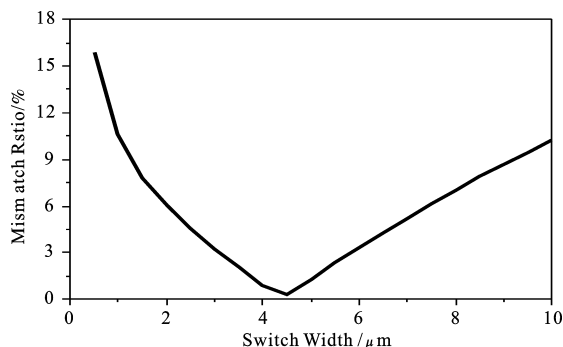


图4 电荷泵电流失配比随开关尺寸变化曲线

3.3 LC 压控振荡器设计

图5为本设计采用的LC压控振荡器的电路结构。由于LC谐振网络是有损的网络,因此需要呈现负阻特性的交叉耦合对来补偿谐振网络的能量损耗。根据巴克豪森振荡原理,LC振荡器在满足相位要求的前提下,开环增益为 $(g_m R_p)^2$,通常设计增益介于2~3之间。

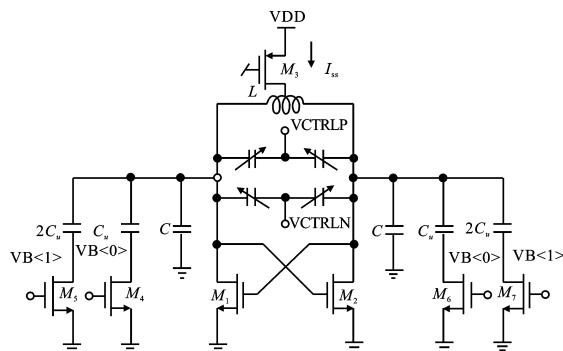


图5 LC振荡器结构示意图

当电路稳定振荡时,交叉耦合对工作在开关状态。因此,流入谐振网络的电流表现为幅度为 I_s 、频率为谐振频率的周期性方波信号。由于LC回路的

带通特性,振荡器的输出摆幅为 $V_p = 2/\pi \cdot I_s R_p$ [5]。随着尾电流 I_s 的增大,输出摆幅最终由尾电流源管的非线性稳定在电源电压VDD。在实际电路设计中,通常选择使得输出摆幅刚好达到电源电压的电流值来作为尾电流 I_s 。

为了满足LC压控振荡器的调谐范围以及较小增益($K_{\omega\omega}$)的要求,本设计采用了差分结构的增强型MOS电容和2位开关电容阵列。设置输出端的静态电压为电源电压的一半,以便实现具有较好线性度的谐振曲线。综合考虑输出端的寄生电容,该振荡器能够实现的输出频率范围[5]为

$$f_{\min} \approx \frac{1}{2\pi \sqrt{\frac{L}{2}(C_p + C_{\max} + 3C_u)}} \quad (3)$$

$$f_{\max} \approx \frac{1}{2\pi \sqrt{\frac{L}{2}(C_p + C_{\min})}} \quad (4)$$

式中, $C_{\min}$ 、 $C_{\max}$ 为可变电容可以实现的最小值和最大值; C_u 为开关阵列的单位电容; C_p 表示输出端的固定电容以及寄生电容,包括交叉耦合对的漏端寄生电容、电感抽头对地的寄生电容以及下一级电路的对地输入寄生电容。图6为利用公式(3)、(4)对锁定范围的理论计算与仿真的对比图,可以看出,理论计算可以很好的预测锁定范围。

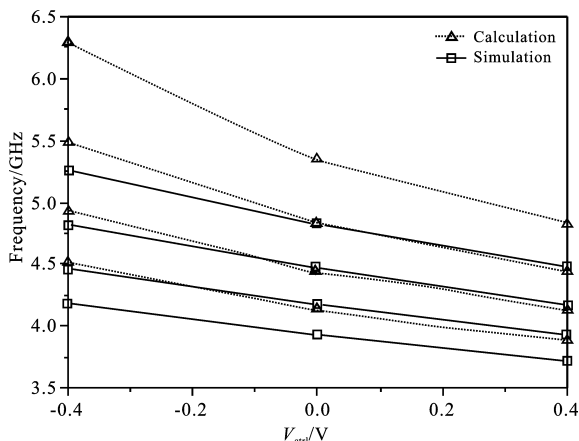


图6 VCO锁定范围的理论计算与仿真结果

根据Leeson提出的著名相位噪声的经验公式[6]:

$$L(\Delta\omega) =$$

$$10\log\left\{\frac{2FkTR_p}{V_o^2} \cdot \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right] \cdot \left(1 + \frac{\Delta\omega}{\Delta\omega^3}\right)\right\} \quad (5)$$

由上式看出,相位噪声与频偏的关系曲线大致分为三个区:在较低频偏处,由闪烁噪声引起的一30 dBc区;在中频处,由热噪声引起的一20 dBc区;以及位

于高频部分的平带区。

式(5)表明,相位噪声反比于振荡器的输出摆幅 V_0 、谐振网络的 Q 值。因此可以使输出摆幅刚好达到最大值来优化振荡器的相位噪声,同时电感电容均选用高 Q 值器件。式中, F 为一个经验值,与振荡器的各噪声源的电流噪声有关,因此还可以通过较低噪声源来降低振荡器的相位噪声。

对于交叉耦合对以及 PMOS 尾电流镜,均可对振荡器的输出端贡献闪烁噪声以及沟道热噪声,因此需要合理设置其宽长比,使得每个晶体管的综合噪声贡献为最低;在满足起振增益的要求下,尽量选用较小宽长比的交叉耦合对来减小其沟道热噪声;而 PMOS 电流镜本身与衬底隔离,避免了衬底噪声的串扰,同时应当在 PMOS 尾电流源一直工作在饱和区的前提下,选取较小的跨导来降低其噪声贡献度。对于电感电容的选择,需尽量采用低寄生电阻的器件,以免引入太大的电阻热噪声。图 7 为 VCO 的相位噪声仿真结果。

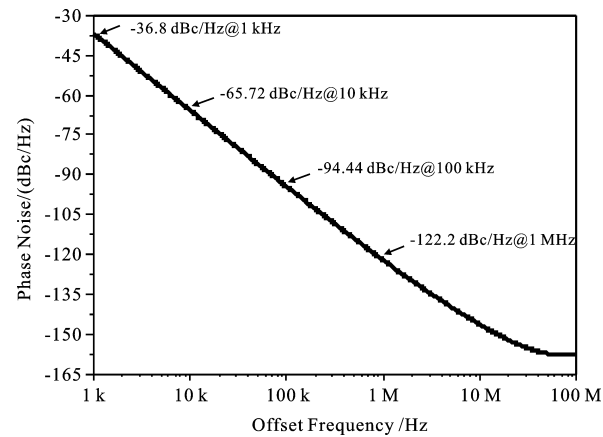


图 7 VCO 的相位噪声曲线

4 基于 MATLAB 的锁相环仿真

表 1 表示经过 MATLAB 软件反复计算得出的最优参数解,其中环路带宽为 2 MHz,相位裕度 50° 。图 8 表示锁相环各个模块的噪声贡献以及整体噪声 Matlab 拟合曲线,可以看出,环路带宽以及相位裕度的选取,对锁相环带内和带外的相位噪声的影响较为合理^[7]。

5 版图设计与测试结果

5.1 整体版图

图 9 为锁相环整体版图,芯片面积为 $530\text{ }\mu\text{m}\times 720\text{ }\mu\text{m}$ 。版图设计过程中,芯片空白地方应添加足

表 1 锁相环参数总结

参数	取值
环路带宽	2 MHz
电荷泵电流	100 μA
参考时钟	90 MHz
K_{VCO}	0.67 GHz/V
相位裕度	50°
C_z	30.2 pF
C_p	4.6 pF
R	7.24 k Ω

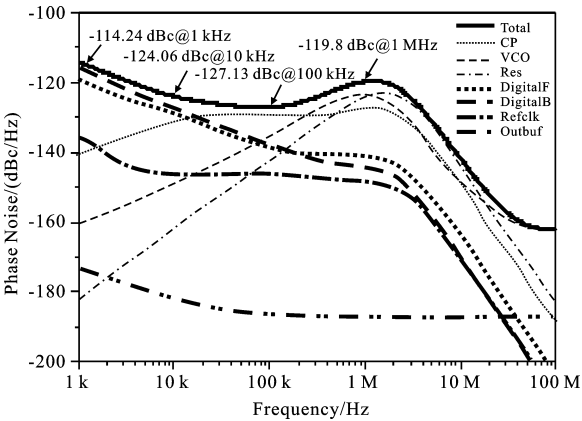


图 8 锁相环基于 MATLAB 的相位噪声曲线

量的滤波电容以降低电源噪声的影响;VCO 的变容二极管控制线应加保护线,避免其他信号通过耦合方式进行串扰;电荷泵版图的电流镜应严格匹配,避免恶化电荷泵的电流失配引入的参考杂散;以及电源和地的走线尽量使用高层金属,以提高其传输电流能力。

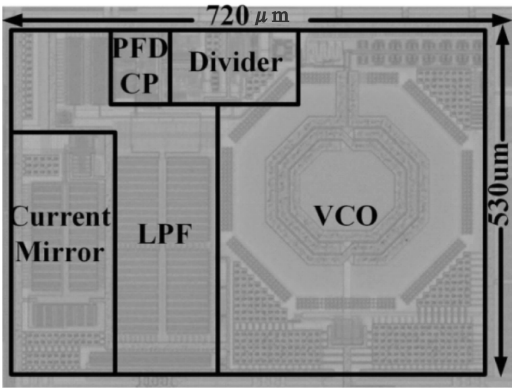


图 9 锁相环整体版图

5.2 测试结果

锁相环的偏置电压和电流均由片上带隙基准电路提供、控制码由整体芯片的 SPI(Serial Peripheral Interface) 模块控制、参考时钟由信号发生器 E8257D 提供,并使用频谱仪 9030A 来观察锁相环

的整体输出频谱. 测试结果如图 10、图 11 所示,锁相环的输出功率为 -25.158 dBm ;在距离载波 1 MHz 处的相位噪声为 -110.6 dBc ;参考杂散为 -56.936 dBc .

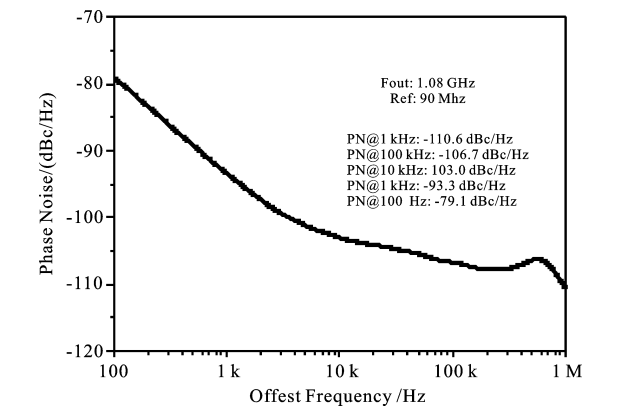


图 10 1MHz 频偏处相位噪声测试结果

6 结束语

本文设计了一款高性能 1.08 GHz 锁相环. 对

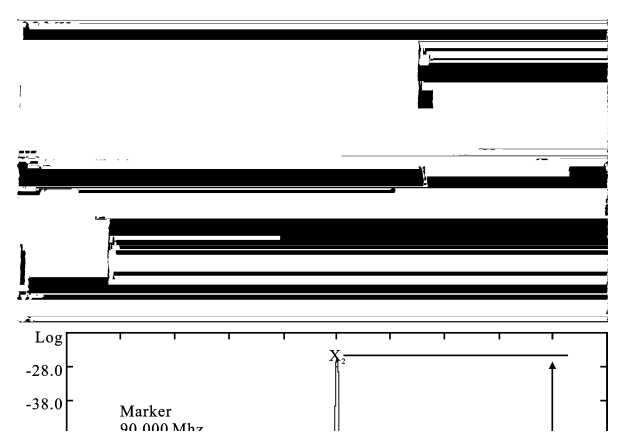


图 11 锁相环杂散测试结果

电荷泵的噪声和杂散优化、VCO 的锁定范围和相位噪声以及环路滤波器的参数设计进行了讨论,通过 MATLAB 软件对相位噪声进行行为级分析. 测试结果显示,本次设计很好的优化了锁相环的相位噪声性能以及参考杂散. 表 2 为本文设计的锁相环与其他文献的测试结果对比.

表 2 本文与其他文献的性能参数对比

参数	文献[8]	文献[9]	本文
CMOS 工艺/nm	180	180	90
面积/ μm^2	100×100	$1\,200\times900$	530×720
频率范围/GHz	$0.6\sim1.6$	$1.27\sim1.82$	$0.91\sim1.32$
参考杂散/dBc	/	/	-56.9
相位噪声/dBc/Hz@1MHz	-92.19	-105.13	-110.6
功耗/mW	10	<30	33

参考文献:

[1] 张刚. CMOS 集成锁相环电路设计[M]. 北京:清华大学出版社, 2013.

[2] 高鹏. CMOS 锁相环中关键技术的研究[D]. 北京:北京理工大学, 2015.

[3] 邝小飞. 快速锁定射频锁相环频率合成器研究[D]. 北京:中国科学院研究生院, 2006.

[4] 杨振宇. 频率综合器相位噪声分析及全差分电荷泵设计[D]. 上海:复旦大学, 2007.

[5] Razavi B. RF microelectronics [M]. New York: Prentice Hall, 1998:334-395.

[6] Leeson D B. A simple model of feedback oscillator noises spectrum[J]. the IEEE, 1966, 54(2):329-330.

[7] 陈海波, 孟桥, 李冬. 应用于无线通信收发系统锁相环的研究[J]. 电子器件, 2016, 39(4): 874-877.

[8] 陈勇, 周玉梅. 1.6GHz 电荷泵锁相环的设计[J]. 微电子学, 2010, 40(4): 531-534.

[9] 李通, 陈志铭, 桂小琰. 一种低相位噪声锁相环频率合成器的设计[J]. 微电子学, 2015, 45(4): 433-436.

作者简介:

王征晨 男, (1987-), 博士研究生. 研究方向为模拟/射频集成电路设计和测试. E-mail: wangzhengchen1987@163.com.

王兴华 女, (1983-), 博士, 讲师. 研究方向为模拟/射频集成电路设计和测试.

武照博 男, (1992-), 硕士研究生. 研究方向为模拟/射频集成电路设计.